

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-218748

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

H02M 3/28

H02M 3/335

H02M 7/21

(21)Application number : 2001-006411

(71)Applicant : DENSEI LAMBDA KK

(22)Date of filing : 15.01.2001

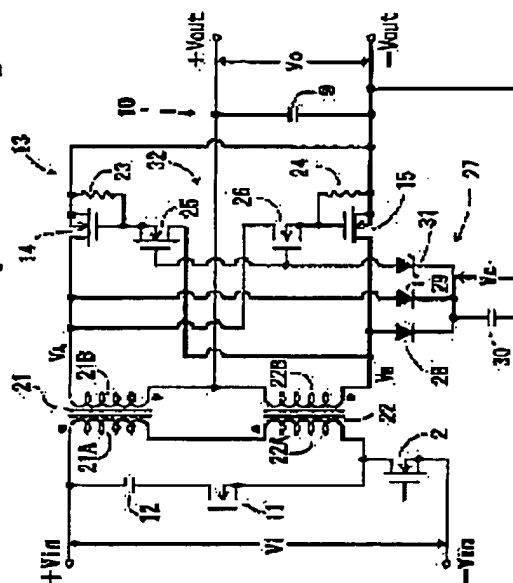
(72)Inventor : EGURI MOTOHARU

(54) SWITCHING POWER SUPPLY UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To cut off running-in of current due to external applied voltage during operation stopping, and moreover without degrading functions as a rectifying section during normal operation.

SOLUTION: During normal operation, MOS type FETs 14, 15 are turned on and off by synchronization with the switching of MOS-type FET 2. The voltage induced to the secondary windings 21B, 22B of transformers 21, 22 is rectified to take out desired output voltage V_o . When voltage is applied between output terminals $+V_{out}$, $-V_{out}$ from the outside in a condition where it itself does not operate, the supply of a drive signal to MOS type FETs 14, 15 is shut down by a drive signal supply stopping part 32. Thus, the MOS type FETs 14, 15 are kept at 'off' state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-218748

(P2002-218748A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl.⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テームコード* (参考)

F 5 H 0 0 6

C 5 H 7 3 0

R

B

A

3/335

3/335

7/21

7/21

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願2001-6411(P2001-6411)

(22) 出願日

平成13年1月15日 (2001.1.15)

(71) 出願人 390013723

デンセイ・ラムダ株式会社

東京都品川区東五反田一丁目11番15号 電波ビルディング

(72) 発明者 植栗 基晴

東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内

(74) 代理人 100080089

弁理士 牛木 義

Fターム(参考) 5H006 AA01 CA02 CA12 CA13 CB03

CB05 CB07 CC02

5H730 BB43 BB57 BB81 BB88 DD04

DD32 DD43 EE03 EE07 EE13

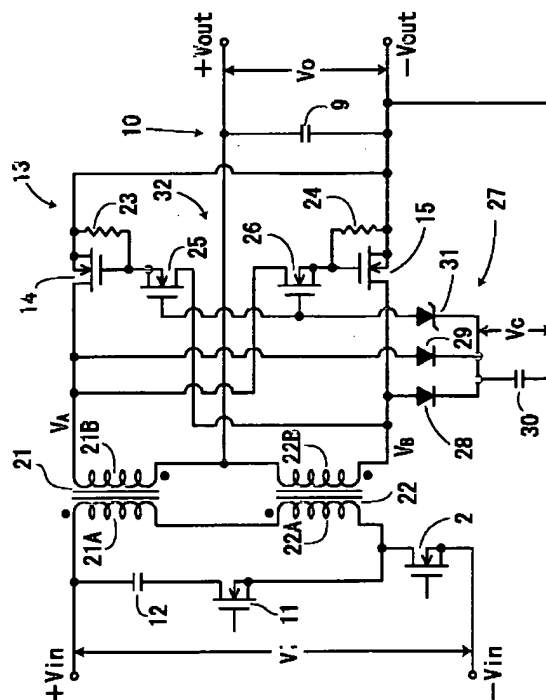
EE19 XX03 XX23 XX43

(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】 通常動作時における整流部としての機能を損なわず、しかも動作停止時には外部印加電圧による電流の流れ込みを遮断する。

【解決手段】 通常の動作時には、MOS型FET 2のスイッチングに同期して、MOS型FET 14, 15をオン、オフさせる。そして、トランス21, 22の二次巻線21B, 22Bに誘起した電圧を整流して、所望の出力電圧V_oを取り出す。これに対して、自身が動作していない状態で、出力端子+V_{out}, -V_{out}間に外部から電圧が印加された場合には、駆動信号供給停止部32によりMOS型FET 14, 15への駆動信号の供給を遮断する。こうなると、MOS型FET 14, 15オフ状態のままとなる。



【特許請求の範囲】

【請求項1】 一次側と二次側とを絶縁するトランスと、このトランスの一次巻線に直流入力電圧を断続的に印加するスイッチング素子と、前記トランスの二次巻線に誘起した電圧を整流するスイッチ手段からなる整流部と、前記整流部で整流した電圧を平滑して出力端子間に出力電圧を供給する平滑部とを備えたスイッチング電源装置において、前記出力端子間に外部から電圧が印加された場合に、前記スイッチ手段への駆動信号の供給を遮断する駆動信号供給停止部を備えたことを特徴とするスイッチング電源装置。

【請求項2】 前記駆動信号供給停止部は、前記トランスの二次巻線間の電圧を監視する電圧監視部と、前記スイッチ手段に至る駆動信号ラインに挿入接続される開閉素子とを備え、前記トランスの二次巻線間の電圧が前記出力電圧以下の場合に前記開閉素子をオフにし、前記トランスの二次巻線間の電圧が前記出力電圧よりも高い場合に前記開閉素子をオンするように構成したことを特徴とする請求項1記載のスイッチング電源装置。

【請求項3】 前記駆動信号供給停止部は、前記トランスの二次巻線間の電圧を監視する電圧監視部と、前記スイッチ手段に至る駆動信号ラインに挿入接続される開閉素子とを備え、前記トランスの二次巻線間の電圧が前記出力電圧よりも高い動作電圧以上になった場合に前記開閉素子をオンにし、前記トランスの二次巻線間の電圧が前記動作電圧未満になった場合に前記開閉素子をオフするように構成したことを特徴とする請求項1記載のスイッチング電源装置。

【請求項4】 前記電圧監視部は、前記トランスの二次巻線間の電圧をピーク整流する整流器と、この整流器で整流された電圧を平滑するコンデンサと、このコンデンサの両端間の電圧を監視して前記開閉素子をオン、オフさせるツェナーダイオードとからなることを特徴とする請求項2または3記載のスイッチング電源装置。

【請求項5】 前記開閉素子がMOS型FETであることを特徴とする請求項2～4のいずれか一つに記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランスの二次側の同期整流を可能にしたスイッチング電源装置に関する。

【0002】

【発明が解決しようとする課題】図6および図7は、従来のこの種のスイッチング電源装置の回路図を示したものである。図6におけるフォワード型のスイッチング電源装置において、 $+V_{in}$ 、 $-V_{in}$ は直流入力電圧 V_i が印加される入力端子で、この入力端子 $+V_{in}$ 、 $-V_{in}$ 間には、一次側と二次側とを絶縁したトランス1の一次巻線1Aと、スイッチング素子としてのMOS型FET

(電界効果トランジスタ)2からなる直列回路が接続される。そして、図示しない制御回路によりMOS型FET2をスイッチングすることによって、トランス1の一次巻線1Aに直流入力電圧 V_i を断続的に印加し、このトランス1の二次巻線1Bに一次巻線1Aに比例した電圧を誘起する構成となっている。

【0003】一方、3はトランス1の二次側に設けられた整流部で、この整流部3は、トランス1の二次巻線1Bに誘起された電圧を整流するスイッチ手段としての2つのMOS型FET4、5を備えている。そして、一方のMOS型FET4は、二次巻線1Bの他端すなわち非ドット側端子から延びるマイナス側の出力電圧ラインにドレインとソースを接続し、二次巻線1Bの一端すなわちドット側端子に抵抗6を介してゲートを接続している。また、他方のMOS型FET5は、二次巻線1Bのドット側端子から延びるプラス側の出力電圧ラインと前記マイナス側の出力側ライン間に、ドレインとソースをそれぞれ接続し、二次巻線1Bの非ドット側端子に抵抗7を介してゲートを接続している。さらに、整流部3で整流された電圧は、チョークコイル8とコンデンサ9からなる平滑部10によって平滑され、コンデンサ9の両端間に接続した出力端子 $+V_{out}$ 、 $-V_{out}$ から出力電圧 V_o として供給される。

【0004】そして、MOS型FET2のオン期間中は、二次巻線1Bのドット側に正極性の電圧が発生することにより、MOS型FET4はオンする一方、MOS型FET5はオフし、二次巻線1BのエネルギーがMOS型FET4を通して平滑部10については出力端子 $+V_{out}$ 、 $-V_{out}$ に接続する負荷(図示せず)に供給される。また、MOS型FET2のオフ期間中は、二次巻線1Bの非ドット側に正極性の電圧が発生することにより、今度はMOS型FET5がオンする一方、MOS型FET4はオフし、MOS型FET5を通して平滑部10のエネルギーが負荷に送り出される。なお、具体的には示していないが、前記MOS型FET2のバルス導通幅は、出力電圧 V_o の変動に応じて制御回路が可変制御するようになっており、これにより出力電圧 V_o の安定化を図っている。

【0005】図7は、いわゆるセンタータップ型のスイッチング電源装置を示したものである。同図において、トランス1の一次側には、一次巻線1A間に補助スイッチング素子としてのMOS型FET11とスナバコンデンサ12との直列回路がさらに接続される。このMOS型FET11とMOS型FET2は、双方がオフになるデッドタイムを持ちながら交互にオン・オフされる。これにより、MOS型FET2、11のターンオフおよびターンオフ時におけるゼロ電圧スイッチングを達成している。

【0006】また、トランス1の二次側は、二次巻線1Bのセンタータップから延びるプラス側の出力電圧ラインが、そのまま出力端子 $+V_{out}$ に接続されるととも

に、二次巻線1Bのドット側端子および非ドット側端子に、それぞれMOS型FET14、15のドレインが接続される。そして、一方のMOS型FET14のゲートは、抵抗16を介して前記トランス1Bの非ドット側端子に接続され、他方のMOS型FET15のゲートは、抵抗17を介して前記トランス1Bのドット側端子に接続され、さらにこれらのMOS型FET14、15のソースが、共通のマイナス側の出力電圧ラインとして出力端子-Voutに接続される。そしてこの場合は、平滑部10としてコンデンサ9だけが出力電圧ライン間に接続される。

【0007】この図7では、MOS型FET2のオン期間中は、二次巻線1Bのドット側に正極性の電圧が発生することにより、MOS型FET15はオンする一方、MOS型FET14はオフし、二次巻線1Bのセンタータップと非ドット側端子間にそれまで蓄えられていたエネルギーが、MOS型FET15を通して平滑部10ひいては出力端子+Vout、-Voutに接続する負荷に供給される。このとき二次巻線1Bのセンタータップとドット側端子間にあるエネルギーは、MOS型FET14がオフすることにより、MOS型FET15をターンオンするのに十分な駆動電圧として与えられるが、大部分はそのまま蓄積される。これに対して、MOS型FET2のオフ期間中は、二次巻線1Bの非ドット側に正極性の電圧が発生することにより、今度はMOS型FET14がオンする一方、MOS型FET15はオフし、二次巻線1Bのセンタータップとドット側端子間にそれまで蓄えられていたエネルギーが、MOS型FET14を通して平滑部10ひいては出力端子+Vout、-Voutに接続する負荷に供給される。このとき二次巻線1Bのセンタータップと非ドット側端子間にあるエネルギーは、MOS型FET15がオフすることにより、MOS型FET14をターンオンするのに十分な駆動電圧として与えられるが、大部分はそのまま蓄積される。

【0008】ところで、上記図6および図7の各構成では、自身の電源装置が動作していない状態で、出力端子+Vout、-Vout間に外部から電圧が印加されると、各MOS型FET4、5、14、15のゲート-ソース間に電圧が加わり、これらのMOS型FET4、5、14、15が場合によってオンすることがある。例えば図6の回路では、特にチョークコイル8が飽和していると、実質的にこのチョークコイル8はショートしているのと同じ状態になるので、MOS型FET4、5がオンしやすくなる。また、図7の回路においても、出力端子+Vout、-Vout間に印加される外部印加電圧が高くなる程、MOS型FET14、15がオンしやすくなる。そして、このような状況に陥ると、電源装置は外部電圧をソース（電圧源）として電流が流れ込み、この電流量は電源装置時自体で制限できず大きなものとなるため、場合によっては各MOS型FET4、5、14、15の破壊をもたらす懸念を生じていた。

【0009】そこで、本発明は上記問題点を解決して、通常動作時における整流部としての機能を損なわず、しかも動作停止時には外部印加電圧による電流の流れ込みを遮断できるスイッチング電源装置を提供することをその目的とする。

【0010】

【課題を解決するための手段】本発明の請求項1のスイッチング電源装置は、前記目的を達成するために、一次側と二次側とを絶縁するトランスと、このトランスの一次巻線に直流入力電圧を断続的に印加するスイッチング素子と、前記トランスの二次巻線に誘起した電圧を整流するスイッチ手段からなる整流部と、前記整流部で整流した電圧を平滑して出力端子間に出力電圧を供給する平滑部とを備えたスイッチング電源装置において、前記出力端子間に外部から電圧が印加された場合に、前記スイッチ手段への駆動信号の供給を遮断する駆動信号供給停止部を備えて構成される。

【0011】この場合、通常の動作時には、スイッチング素子のスイッチングに同期して、整流部を構成するスイッチ手段をオン、オフさせ、トランスの二次巻線に誘起した電圧を整流することで、所望の出力電圧を取り出すことができる。これに対して、自身が動作していない状態で、出力端子間に外部から電圧が印加された場合には、駆動信号供給停止部によりスイッチ手段への駆動信号の供給が遮断され、スイッチ手段はオフ状態のままとなる。したがって、通常動作時における整流部としての機能を損なわず、しかも動作停止時には外部印加電圧による電流の流れ込みを遮断できる。

【0012】また、本発明の請求項2のスイッチング電源装置は、前記トランスの二次巻線間の電圧を監視する電圧監視部と、前記スイッチ手段に至る駆動信号ラインに挿入接続される開閉素子とを備え、前記トランスの二次巻線間の電圧が前記出力電圧以下の場合に前記開閉素子をオフにし、前記トランスの二次巻線間の電圧が前記出力電圧よりも高い場合に、前記開閉素子をオンするように前記駆動信号供給停止部を構成している。

【0013】通常の動作時においてトランスの二次巻線間に発生する電圧のピークは、出力端子間の出力電圧よりも高いのに対し、動作停止時において出力端子間に外部から印加される電圧は、出力電圧以下となる。この点に着目し、特にトランスの二次巻線間の電圧を電圧監視部で監視し、その監視結果に基づいて開閉素子をオン、オフすれば、動作停止時において出力電圧以下の外部電圧による電流の流れ込みを確実に遮断できる。

【0014】また、本発明の請求項3のスイッチング電源装置は、前記トランスの二次巻線間の電圧を監視する電圧監視部と、前記スイッチ手段に至る駆動信号ラインに挿入接続される開閉素子とを備え、前記トランスの二次巻線間の電圧が前記出力電圧よりも高い動作電圧以上になった場合に前記開閉素子をオンにし、前記トランスの

二次巻線間の電圧が前記動作電圧未満になった場合に前記開閉素子をオフするように前記駆動信号供給停止部を構成している。

【0015】通常の動作時においてトランスの二次巻線間に発生する電圧のピークは、出力端子間の出力電圧よりも高いのに対し、動作停止時において出力端子間に外部から印加される電圧は、出力電圧以下となる。この点に着目し、特にトランスの二次巻線間の電圧を電圧監視部で監視し、その監視結果に基づいて開閉素子をオン、オフすれば、動作停止時において出力電圧以下の外部電圧による電流の流れ込みを確実に遮断できる。また、トランスの二次巻線間の電圧が、出力電圧よりも高い動作電圧以上になったか否かで、開閉素子をオン、オフさせているので、出力端子に出力電圧と同じ電圧が外部から印加されても、スイッチ手段を確実にオフ状態にすることができる。

【0016】また、本発明の請求項4のスイッチング電源装置は、前記電圧監視部が、前記トランスの二次巻線間の電圧をピーク整流する整流器と、この整流器で整流された電圧を平滑するコンデンサと、このコンデンサの両端間の電圧を監視して前記開閉素子をオン、オフさせるツェナーダイオードとからなることを特徴とする。

【0017】電圧監視部が整流器とコンデンサとツェナーダイオードだけで構成されることから、回路構成を簡素化できる。また、請求項3における動作電圧の設定に際しても、所望のツェナー電圧特性を有するツェナーダイオードを選定するだけでよく、回路設計が容易となる。

【0018】さらに、本発明の請求項5のスイッチング電源装置は、前記開閉素子がMOS型FETであることを特徴とする。

【0019】開閉素子としてMOS型FETを使用すれば、応答性が良く、消費電力を必要最小限に抑えることができる。

【0020】

【発明の実施形態】以下、添付図面に基づき、本発明におけるスイッチング電源装置の各実施例を説明する。なお、これらの各実施例において、前記従来例と同一箇所には同一符号を付し、その共通する部分の詳細な説明は重複するため省略する。

【0021】図1は、本発明におけるスイッチング電源装置の第1実施例を示すものである。回路構成を示す図1において、21、22は一次側と二次側とを絶縁する一対のトランスであり、各トランス21、22の一次巻線21A、22Aおよび二次巻線21B、22Bどうしがそれぞれ直列接続される。そして、各トランス21、22の一次巻線21A、22Aと、スイッチング素子としてのMOS型FET2との直列回路が、直流入力電圧 V_i を印加する入力端子 $+V_{in}$ 、 $-V_{in}$ 間に接続される。また、一次巻線21A、22A間には、補助スイッチング素子としてのMOS

型FET11とスナバコンデンサ12との直列回路がさらに接続される。MOS型FET11とMOS型FET2は、双方がオフになるデッドタイムを持ちながら交互にオン・オフされる。これにより、MOS型FET2、11のターンオフおよびターンオフ時におけるゼロ電圧スイッチングを達成している。

【0022】トランス21、22の二次側には、従来例と同じく一対のMOS型FET14、15からなる整流部13が設けられる。本実施例では、電力変換部として一対のトランス21、22を設けたいわゆる2トランス方式を採用している関係で、二次巻線21B、22Bの接続点から延びるプラス側の出力電圧ラインが、チョークコイルなどを介せずそのまま直接出力端子 $+V_{out}$ に接続される。また、二次巻線21Bの一端すなわち非ドット側端子と、二次巻線22Bの他端すなわちドット側端子には、それぞれMOS型FET14、15のドレインが接続され、各MOS型FET14、15のゲートソース間には、抵抗23、24がそれぞれ接続されるとともに、各MOS型FET14、15のソースが、共通のマイナス側の出力電圧ラインとして出力端子 $-V_{out}$ に接続される。そしてこの場合は、平滑部10としてコンデンサ9だけが出力電圧ライン間に接続される。

【0023】一方、MOS型FET14のゲートと二次巻線22Bのドット側端子との間には、開閉素子であるMOS型FET25のドレインソースが接続されると共に、MOS型FET15のゲートと二次巻線21Bの非ドット側端子との間にも、別の開閉素子であるMOS型FET26のドレインソースが接続される。つまり、これらのMOS型FET25、26がオンした場合にのみ、整流部13を構成するスイッチ手段としてのMOS型FET14、15がオン、オフ動作し、MOS型FET25、26がオフの場合は、MOS型FET14、15がオフ状態のまま動作しないようになっている。また、このMOS型FET25、26を動作させる駆動回路27として、本実施例では、トランス21、22の各二次巻線21B、22Bに発生する電圧ひいては出力電圧ラインに発生する電圧 V_A 、 V_B を整流するダイオード28、29と、このダイオード28、29で整流した電圧を平滑するコンデンサ30と、このコンデンサ30の両端間電圧 V_C を監視し、この監視電圧 V_C が通常動作時における出力電圧 V_o を超えたら導通して、MOS型FET25、26のゲートにMOS型FET14、15のオン、オフ動作を許可する駆動信号（電圧）を供給するツェナーダイオード31とにより構成される。駆動回路27は、トランス21、22の二次巻線21B、22B間の電圧を監視して、MOS型FET14、15のゲートに至る駆動信号ラインに挿入接続されるMOS型FET25、26をオン、オフする電圧監視部に相当し、この駆動回路27とMOS型FET25、26とにより、出力端子 $+V_{out}$ 、 $-V_{out}$ 間に外部から電圧が印加された場合に、MOS型FET25、26への駆動信号の供給を遮断する駆動信号供給停止部32が構成され

る。

【0024】次に、図2および図3の各波形図を参照しながら、上記構成に関する作用を説明する。なお、これらの図2および図3において、上段はトランス21の二次巻線21Bの非ドット側端子の電圧VAで、下段はトランス22の二次巻線22Bのドット側端子の電圧VBを示している。ダイオード28、29は、これらの電圧VA、VBを整流している。

【0025】本実施例におけるスイッチング電源装置自身が通常に動作している場合、MOS型FET2、11が交互にスイッチングされることにより、各トランス21、22の一次巻線21A、21Bに直流入力電圧Viが断続的に印加され、各二次巻線21B、22Bに一次巻線21A、21Bとの巻線比に比例した電圧が誘起される。MOS型FET2のオン期間中は、二次巻線21B、22Bの各ドット側端子に正極性の電圧が発生し、図2に示すように、二次巻線22Bのドット側端子に発生する電圧VBのピークが、出力端子+Vout、-Vout間の出力電圧Voよりも高くなる。逆に、MOS型FET2のオフ期間中は、二次巻線21B、22Bの各非ドット側端子に正極性の電圧が発生し、二次巻線21Bのドット側端子に発生する電圧VBのピークが、出力端子+Vout、-Vout間の出力電圧Voよりも高くなる。したがって、MOS型FET2がオン、オフするのに伴って、二次巻線21Bの非ドット側端子と、二次巻線22Bのドット側端子には、そのピーク値が出力電圧Voよりも高い電圧VA、VBが交互に発生することとなる。

【0026】これを受けて、駆動回路27を構成する各ダイオード28、29は、前記各電圧VA、VBをピーク整流する。すなわち、前記コンデンサ30の両端間は、各電圧VA、VBをピーク整流した電圧VCとなる。駆動回路27は、このコンデンサ30の両端間に発生する監視電圧VCひいては電圧VA、VBが、出力電圧Voよりも高い動作電圧Vp以上になったときに、MOS型FET25、26をオンするようにツェナーダイオード31を予め選定している。したがって通常の動作時には、監視電圧VCが出力電圧Voのみならずツェナーダイオード31の特性により決まる動作電圧Vpを超えているため、ツェナーダイオード31は導通してMOS型FET25、26に駆動信号が供給され、MOS型FET25、26がオンする。これにより、MOS型FET14のゲートは二次巻線22のドット側端子に直結され、MOS型FET15のゲートは二次巻線21の非ドット側端子に直結されることになり、MOS型FET2のオン、オフに同期してMOS型FET14、15が交互にスイッチ動作する。

【0027】そして、MOS型FET2のオン期間中は、MOS型FET14がオンする一方、MOS型FET15はオフし、二次巻線21Bにそれまで蓄えられていたエネルギーが、MOS型FET15を通して平滑部10ひいては出力端子+Vout、-Voutに接続する負荷に供給され

る。このとき二次巻線22Bにあるエネルギーは、MOS型FET15がオフすることにより、MOS型FET14をターンオンするのに十分な駆動電圧として与えられるが、大部分はそのまま蓄積される。これに対して、MOS型FET2のオフ期間中は、MOS型FET15がオンする一方、MOS型FET14はオフし、二次巻線22Bにそれまで蓄えられていたエネルギーが、MOS型FET15を通して平滑部10ひいては出力端子+Vout、-Voutに接続する負荷に供給される。このとき二次巻線21Bにあるエネルギーは、MOS型FET14がオフすることにより、MOS型FET14をターンオンするのに十分な駆動電圧として与えられるが、大部分はそのまま蓄積される。

【0028】一方、自身のスイッチング電源装置が動作していない場合には、MOS型FET2、11によるスイッチングは行なわれず、一次巻線21A、22Aには直流入力電圧Viが印加されない。この状態で、出力端子+Vout、-Vout間に外部から電圧が印加されると、図3に示すように、前記出力電圧Voひいては動作電圧Vp以下の一定の電圧VA、VB（外部印加電圧=VA=VB）が、二次巻線21Bの非ドット側端子および二次巻線22Bのドット側端子に発生する。このとき、コンデンサ30の両端間にも、外部印加電圧と同じ監視電圧VCが発生するが、監視電圧VCは動作電圧Vpよりも低く出力電圧Vo以下であるので、ツェナーダイオード31は導通せず、MOS型FET25、26はオフする。したがって、MOS型FET14、15はオフ状態のままとなり、外部電圧印加時の電流の吸い込みや、電流ループの存在が回避され、MOS型FET14、15の破壊を確実に防止できる。

【0029】なお、上記構成では、トランス21、22の二次巻線21B、22Bの極性を逆にしてもよい。この場合、MOS型FET14、15のオン、オフ動作が上述の説明と逆になるだけで、他の動作は共通する。また、MOS型FET25、26に代わり別の開閉素子を利用してもよいが、MOS型FET25、26を利用するのが、応答性の良さや消費電力の少なさなどからして有利である。さらに、実施例におけるツェナーダイオード31に代わり、上記動作電圧Vpを設定する別の動作電圧設定回路を設けてもよい。但し、本実施例では単一のツェナーダイオード31により同様の機能を実現できるので、回路構成を簡素化する上で有利である。

【0030】以上のように、上記実施例によれば、一次側と二次側とを絶縁するトランス21、22と、このトランス21、22の一次巻線21A、22Aに直流入力電圧Viを断続的に印加するスイッチング素子としてのMOS型FET2と、トランス21、22の二次巻線21B、22Bに誘起した電圧を整流するスイッチ手段たるMOS型FET14、15からなる整流部13と、整流部13で整流した電圧を平滑して出力端子+Vout、-Vout間に出力電圧Voを供給する平滑部10とを備えたスイッチング電源装置におい

て、前記出力端子+Vout, -Vout間に外部から電圧が印加された場合に、MOS型FET14, 15への駆動信号の供給を遮断する駆動信号供給停止部32を備えている。

【0031】この場合、通常の動作時には、MOS型FET2のスイッチングに同期して、整流部13を構成するMOS型FET14, 15をオン、オフさせ、トランス21, 22の二次巻線21B, 22Bに誘起した電圧を整流することで、所望の出力電圧V_oを取り出すことができる。これに対して、自身が動作していない状態で、出力端子+Vout, -Vout間に外部から電圧が印加された場合には、駆動信号供給停止部32によりMOS型FET14, 15への駆動信号の供給が遮断され、MOS型FET14, 15はオフ状態のままとなる。したがって、通常動作時における整流部13としての機能を損なわず、しかも動作停止時には外部印加電圧による電流の流れ込みを遮断できる。

【0032】また、本実施例では、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBを監視する電圧監視部たる駆動回路27と、MOS型FET14, 15に至る駆動信号ラインに挿入接続される開閉素子としてのMOS型FET25, 26とを備え、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBが出力電圧V_o以下の場合にMOS型FET25, 26をオフにし、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBが出力電圧V_oよりも高い場合に、MOS型FET25, 26をオンするように駆動信号供給停止部32を構成している。

【0033】通常の動作時においてトランス21, 22の各二次巻線21B, 22Bに発生する電圧VA, VBのピークは、出力端子+Vout, -Vout間の出力電圧V_oよりも高いのに対し、動作停止時において出力端子+Vout, -Vout間に外部から印加される電圧VA, VBは、出力電圧V_o以下となる。この点に着目し、特にトランス21, 22の各二次巻線21B, 22B間の電圧VA, VBを電圧監視部で監視し、その監視結果に基づいてMOS型FET25, 26をオン、オフすれば、動作停止時において出力電圧V_o以下の外部印加電圧による電流の流れ込みを確実に遮断できる。

【0034】また、本実施例では、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBを監視する電圧監視部たる駆動回路27と、MOS型FET14, 15に至る駆動信号ラインに挿入接続される開閉素子としてのMOS型FET25, 26とを備え、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBが出力電圧V_oよりも高い動作電圧V_p以上になった場合に、MOS型FET25, 26をオンにし、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBが前記動作電圧V_p未満になった場合に、MOS型FET25, 26をオフするように駆動信号供給停止部32を構成している。

【0035】そしてこの場合はさらに、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBが、出力電圧V_oよりも高い動作電圧V_p以上になったか否かで、M

OS型FET25, 26をオン、オフさせているので、+Vout, -Vout間出力端子+Vout, -Vout間に出力電圧V_oと同じ電圧が外部から印加されても、MOS型FET14, 15を確実にオフ状態にすることができる。

【0036】また、本実施例では、前記電圧監視部としての駆動回路27が、トランス21, 22の各二次巻線21B, 22B間の電圧VA, VBをピーク整流する整流器としてのダイオード28, 29と、このダイオード28, 29で整流された電圧を平滑するコンデンサ30と、このコンデンサ30の両端間の電圧を監視してMOS型FET25, 26をオン、オフさせるツェナーダイオード31とにより構成される。

【0037】この場合、駆動回路27がダイオード28, 29とコンデンサ30とツェナーダイオード31だけで構成されることから、回路構成を簡素化できる。また、動作電圧V_pの設定に際しても、所望のツェナー電圧特性を有するツェナーダイオード31を選定するだけでよく、回路設計が容易となる。

【0038】さらに、開閉素子として本実施例のようにMOS型FET25, 26を使用すれば、応答性が良く、消費電力を必要最小限に抑えることができる。また、本実施例では、一対のトランス21, 22により、一方のトランス21の二次巻線21Bがエネルギーを送り出しているときには、他方のトランス22の二次巻線22Bがエネルギーを蓄え、この動作を交互に繰り返すことによって、トランス21, 22の二次巻線21B, 22Bが、あたかも平滑部10を構成するチョークコイルのような機能を兼用する。したがって、平滑部10をコンデンサ9だけで構成でき、回路構成を一層簡素化することができる。

【0039】次に、本発明の第2実施例および第3実施例を図4および図5に示す。これらの各実施例は、いずれもトランス1が単独の1トランス方式のスイッチング電源装置であり、図4は従来例の図6に、図5は従来例の図7に対応している。本発明の第2実施例を図4で説明すると、出力端子+Vout, -Vout間に外部から電圧が印加された場合に、MOS型FET4, 5への駆動信号の供給を遮断する駆動信号供給停止部32は、第1実施例と同じ回路構成で同じように動作する。なお、MOS型FET4, 5のゲートソース間には、第1実施例と同様の抵抗23, 24が接続される。

【0040】そしてこの場合も、通常の動作時には、MOS型FET2のスイッチングに同期して、整流部3を構成するMOS型FET4, 5をオン、オフさせ、トランス1の二次巻線1Bに誘起した電圧を整流することで、所望の出力電圧V_oを取り出すことができる。これに対して、自身が動作していない状態で、出力端子+Vout, -Vout間に外部から電圧が印加された場合には、駆動信号供給停止部32によりMOS型FET4, 5への駆動信号の供給が遮断され、MOS型FET4, 5はオフ状態のままとなる。したがって、通常動作時における整流部3としての機能を損なわず、しかも動作停止時に

は外部印加電圧による電流の流れ込みを遮断できる。

【0041】次に、本発明の第3実施例を図5に基づき説明すると、これも出力端子+Vout, -Vout間に外部から電圧が印加された場合に、MOS型FET14, 15への駆動信号の供給を遮断する駆動信号供給停止部32が、第1実施例と同じ回路構成で同じように動作する。なお、MOS型FET14, 15のゲートソース間には、第1実施例と同様の抵抗23, 24が接続される。

【0042】そしてこの場合も、通常の動作時には、MOS型FET2のスイッチングに同期して、整流部13を構成するMOS型FET14, 15をオン、オフさせ、トランス1の二次巻線1Bに誘起した電圧を整流することで、所望の出力電圧Voを取り出すことができる。これに対して、自身が動作していない状態で、出力端子+Vout, -Vout間に外部から電圧が印加された場合には、駆動信号供給停止部32によりMOS型FET14, 15への駆動信号の供給が遮断され、MOS型FET14, 15はオフ状態のままとなる。したがって、通常動作時における整流部13としての機能を損なわず、しかも動作停止時には外部印加電圧による電流の流れ込みを遮断できる。

【0043】本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲において種々の変形実施が可能である。例えば、上記各実施例で示したもの以外にも、例えばフライバック型のスイッチング電源装置に対して本発明を適用できる。

【0044】

【発明の効果】本発明の請求項1のスイッチング電源装置によれば、通常動作時における整流部としての機能を損なわず、しかも動作停止時には外部電圧による電流の流れ込みを遮断できる。

【0045】本発明の請求項2のスイッチング電源装置によれば、動作停止時において出力電圧以下の外部電圧による電流の流れ込みを確実に遮断できる。

【0046】本発明の請求項3のスイッチング電源装置によれば、動作停止時において出力電圧以下の外部電圧による電流の流れ込みを確実に遮断できる。さらに、出力端子に出力電圧と同じ電圧が外部から印加されても、スイッチ手段を確実にオフ状態にできる。

【0047】本発明の請求項4のスイッチング電源装置

によれば、回路構成を簡素化できる上に、動作電圧の設定に際しても回路設計が容易となる。

【0048】本発明の請求項5のスイッチング電源装置によれば、応答性が良く、消費電力を必要最小限に抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すスイッチング電源装置の回路図である。

【図2】同上通常の動作時における波形図である。

【図3】同上動作停止時において、出力端子に外部から電圧が印加された場合の波形図である。

【図4】本発明の第2実施例を示すスイッチング電源装置の回路図である。

【図5】本発明の第3実施例を示すスイッチング電源装置の回路図である。

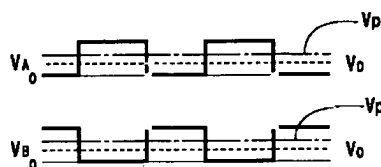
【図6】従来例におけるスイッチング電源装置の回路図である。

【図7】従来例における別のスイッチング電源装置の回路図である。

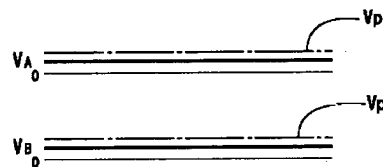
【符号の説明】

- 1 トランス
- 2 MOS型FET (スイッチング素子)
- 3 整流部
- 4 MOS型FET (スイッチ手段)
- 5 MOS型FET (スイッチ手段)
- 10 平滑部
- 13 整流部
- 14 MOS型FET (スイッチ手段)
- 15 MOS型FET (スイッチ手段)
- 21 トランス
- 22 トランス
- 25 MOS型FET (開閉素子)
- 26 MOS型FET (開閉素子)
- 28 ダイオード (整流器)
- 29 ダイオード (整流器)
- 30 コンデンサ
- 31 ツェナーダイオード
- +Vout, -Vout 出力端子

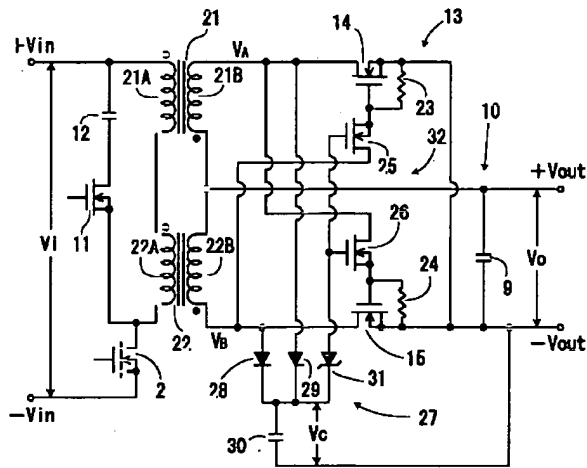
【図2】



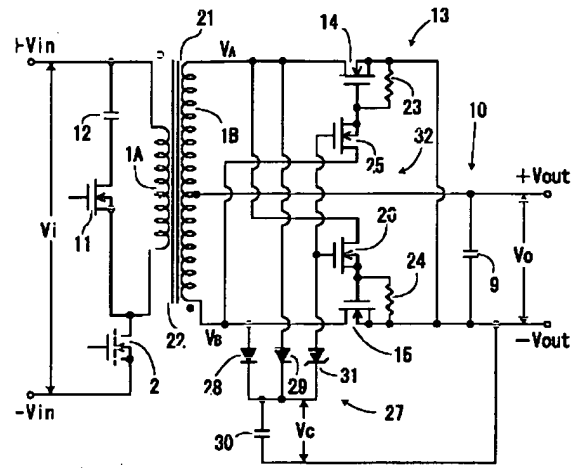
【図3】



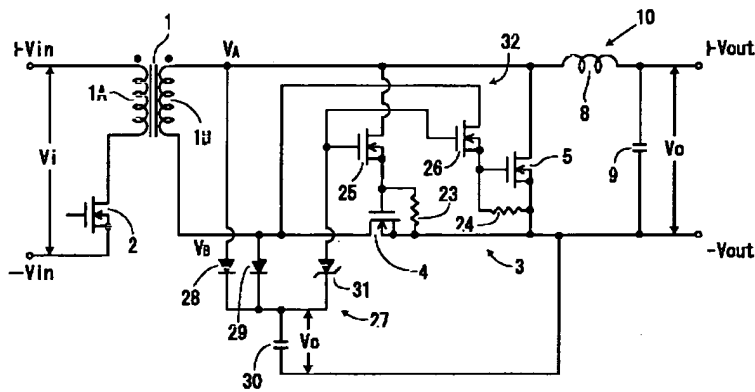
【図1】



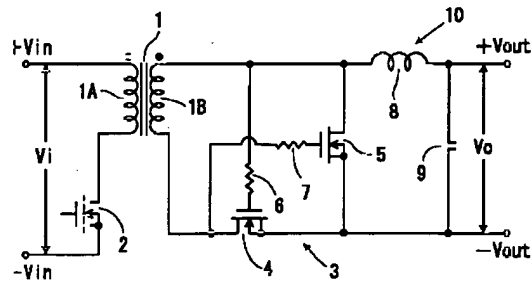
【図5】



【図4】



【図6】



【図7】

